

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants: **DONG-GYU LEE and SUNG-KWON LEE**
Application No.: **NEW**
Filed: **December 4, 2003**
For: **DATA LATCH CIRCUIT AND METHOD FOR IMPROVING
OPERATING SPEED IN A DATA LATCH CIRCUIT**

PRIORITY LETTER

December 4, 2003

COMMISSIONER FOR PATENTS
P.O. BOX 1450
Alexandria, Virginia 22313-1450

Dear Sirs:

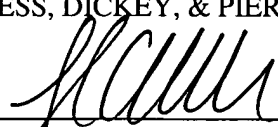
Pursuant to the provisions of 35 U.S.C. 119, enclosed is/are a certified copy of the following priority document(s).

<u>Application No.</u>	<u>Date Filed</u>	<u>Country</u>
10-2002-0079633	December 13, 2002	REPUBLIC OF KOREA

In support of Applicant's priority claim, please enter this document into the file.

Respectfully submitted,

HARNESS, DICKEY, & PIERCE, P.L.C.

By 
John A. Castellano, Reg. No. 35,094
P.O. Box 8910
Reston, Virginia 20195
(703) 668-8000

JAC:jj



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2002-0079633
Application Number

출원 년 월 일 : 2002년 12월 13일
Date of Application DEC 13, 2002

출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



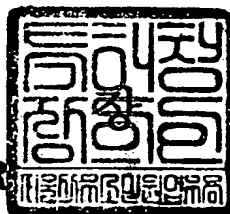
2003 년 04 월 07 일

특

허

청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0023
【제출일자】	2002. 12. 13
【국제특허분류】	H01L
【발명의 명칭】	동작 속도가 향상된 데이터 래치 회로.
【발명의 영문명칭】	Data latch circuit with increased operating speed
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	이동규
【성명의 영문표기】	LEE, Dong Gyu
【주민등록번호】	690914-1108716
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 황골마을 주공 156-702
【국적】	KR
【발명자】	
【성명의 국문표기】	이성권
【성명의 영문표기】	LEE, Sung Kwon
【주민등록번호】	710717-1063215
【우편번호】	442-470

【주소】 경기도 수원시 팔달구 영통동 963-2 신나무실 신안아파트
533-1504
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
이영필 (인) 대리인
정상빈 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 8 면 8,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 13 항 525,000 원
【합계】 562,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

동작 속도가 향상된 데이터 래치 회로가 개시된다. 본 발명에 따른 데이터 래치 회로는 센스 앰프부, 클럭 래치부, 믹스부 및 캐스코드 로직부를 구비하는 것을 특징으로 한다. 센스 앰프부는 입력 데이터를 수신하고 클럭 신호에 응답하여 상기 입력 데이터와 동일한 논리 레벨을 가지는 제 1 신호 및 상기 제 1 신호와 반대되는 논리 레벨을 가지는 제 1 반전 신호를 출력하고, 소정의 캐스코드 출력 데이터를 수신하고 상기 클럭 신호에 응답하여 상기 캐스코드 출력 데이터와 동일한 논리 레벨을 가지는 제 2 신호 및 상기 제 2 신호와 반대되는 논리 레벨을 가지는 제 2 반전 신호를 출력한다. 클럭 래치부는 인에이블 신호 및 상기 클럭 신호에 응답하여 상기 인에이블 신호 및 상기 클럭 신호가 동시에 제 1 레벨인 동안만 인에이블 되는 게이트드 클럭 신호를 발생한다. 믹스부는 상기 인에이블 신호가 제 1 레벨이면 상기 제 1 신호를 출력 데이터로서 출력하고 상기 제 1 반전 신호를 피드백 데이터로서 출력하며, 상기 인에이블 신호가 제 2 레벨이면 상기 제 2 신호를 상기 출력 데이터로서 출력하고 상기 제 2 반전 신호를 상기 피드백 데이터로서 출력한다. 캐스코드 로직부는 상기 출력 데이터 및 상기 피드백 데이터를 수신하여 저장하고, 상기 게이트드 클럭 신호에 응답하여 상기 캐스코드 출력 데이터를 발생한다. 데이터 래치 회로는 게이트드 클럭 신호가 발생하는 시간 및 입력 데이터가 캐스코드 로직부를 통과하는 시간을 줄임으로써 입력 데이터가 입력되는 순간부터 출력되는 순간까지 걸리는 시간을 줄일 수 있는 장점이 있다.

【대표도】

도 3

【명세서】**【발명의 명칭】**

동작 속도가 향상된 데이터 래치 회로. {Data latch circuit with increased operating speed}

【도면의 간단한 설명】

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 일반적인 데이터 래치 회로를 설명하는 도면이다.

도 2는 도 1의 데이터 래치 회로의 동작을 설명하는 타이밍도이다.

도 3은 본 발명에 따른 데이터 래치 회로를 나타내는 회로도이다.

도 4는 도 3의 데이터 래치 회로의 동작을 설명하는 타이밍도이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<6> 본 발명은 데이터 래치 회로에 관한 것으로서, 특히 다이내믹 회로를 드라이빙하는 데이터 래치 회로의 속도 향상에 관한 것이다.

<7> 마이크로 프로세서와 같은 고 집적, 초고속 회로를 구현하기 위해서는 컴비네이셔널 로직 블록의 게이트 단을 줄이거나, 회로 스타일을 변경하는 방법을 사용하여 오고 있다.

- <8> 컴비네이셔널 로직 블록이란 앤드 게이트, 오아 게이트와 같은 논리 게이트 소자들
로 이루어진 로직 회로들을 의미하며 컴비네이셔널 로직 블록의 게이트 단을 줄인다는
것은 내부의 논리 게이트 소자들의 수를 줄이는 것을 의미한다. 논리 게이트 소자의 수
가 줄어들면 입력 데이터가 지나가는 소자들의 수가 줄어들므로 회로의 동작속도가 향상
되는 것이다.
- <9> 회로 스타일을 변경한다는 것은 스테틱 회로(static circuit)를 다이내믹 회로
(dynamic circuit)로 변경한다는 것을 의미한다. 일반적으로 다이내믹 회로의 동작 속도
가 스테틱 회로의 동작 속도보다 빠르다.
- <10> 또한 데이터를 저장하고 출력하는 래치 회로의 경우에는 래치 회로로 데이터가 입
력되는 순간부터 출력되는 순간까지의 시간인 "clock to q " 지연 시간을 줄이기 위한
많은 방법들이 제시되고 있다.
- <11> 지금까지는 컴비네이셔널 로직 블록의 게이트 단을 줄이거나 회로 스타일을 다이내
믹 회로로 변경하는 것이 효과적인 방법이다. 그러나, 클럭 속도가 증가되고 회로가 점
점 복잡해지므로 컴비네이셔널 로직 블록의 게이트 단을 줄이는 것은 점점 어려워지고
있다.
- <12> 도 1은 일반적인 데이터 래치 회로를 설명하는 도면이다.
- <13> 일반적인 데이터 래치 회로(100)는 클럭 신호(CLK)를 반전시키는 인버터(120), 클
럭 신호(CLK)가 인버터(120)에 의해서 반전된 신호에 응답하여 활성화되며 인에이블 신
호(ENS)를 수신하여 출력하는 래치(110), 래치의 출력과 클럭 신호(CLK)를 논리곱하여
게이티드 클럭 신호(GCLK)를 발생하는 논리곱 수단(130), 게이티드 클럭 신호(GCLK)에

응답하여 입력 데이터(INDATA)를 수신하여 전송하는 센스 앰프(140) 및 센스 앰프(140)의 출력을 저장하여 출력 데이터(OUTDATA)를 발생하는 캐스코드 로직(150)을 구비한다.

<14> 래치(110)와 논리곱 수단(130)은 게이티드 클럭 신호(GCLK)를 발생한다. 게이티드 클럭 신호(GCLK)는 클럭 신호(CLK)와 인에이블 신호(ENS)와의 논리곱에 의하여 만들어진 신호이다. 데이터 래치 회로(100)는 결국 플립 플롭과 동일한 기능을 한다.

<15> 도 2는 도 1의 데이터 래치 회로의 동작을 설명하는 타이밍도이다.

<16> 도 2를 참조하여 도 1의 종래의 데이터 래치 회로(100)의 동작을 설명한다. 인에이블 신호(ENS)가 클럭 신호(CLK)보다 먼저 하이 레벨로 입력되고, 클럭 신호(CLK)가 하이 레벨로 입력되면, 래치(110)는 클럭 신호(CLK)가 인버터(120)에 의하여 반전된 신호에 의해서 활성화된다. 그러면 논리곱 수단(130)의 두 입력은 모두 하이 레벨이 되고, 논리곱 수단(130)은 게이티드 클럭 신호(GCLK)를 하이 레벨로 출력한다.

<17> 도 2에서 게이티드 클럭 신호(GCLK)에 표시된 A 는 클럭 신호(CLK)에 비하여 게이티드 클럭 신호(GCLK)가 지연된 시간을 나타낸다. 게이티드 클럭 신호(GCLK)는 래치(110)와 논리곱 수단(130)에 의해서 도 2에 표시된 A 만큼의 시간 지연을 가진다.

<18> 입력 데이터(INDATA)가 센스 앰프(140)로 입력되고, 센스 앰프(140)가 게이티드 클럭 신호(GCLK)에 응답하면 센스 앰프(140)를 통하여 캐스코드 로직(150)에 저장되었던 입력 데이터(INDATA)는 출력 데이터(OUTDATA)로서 출력된다.

<19> 도 2에서 출력 데이터(OUTDATA)에 표시된 B 는 센스 앰프(140)에 입력된 입력 데이터(INDATA)가 게이티드 클럭 신호(GCLK)에 응답하여 출력 데이터(OUTDATA)로서 출력되기

까지 지연된 시간을 나타낸다. 입력 데이터(INDATA)는 센스 앰프(140)와 캐스코드 로직(150)에 의하여 도 2에 표시된 B 만큼의 시간 지연을 가진다.

<20> 따라서, 입력 데이터(INDATA)가 클럭 신호(CLK)에 동기 되어 출력 데이터(OUTDATA)로서 출력되는데 까지 A + B의 시간이 지연된다. 즉, "clock to q" 지연 시간이 매우 큰 문제가 있다.

【발명이 이루고자 하는 기술적 과제】

<21> 본 발명이 이루고자하는 기술적 과제는, 데이터가 입력되는 순간부터 출력되는 순간까지 걸리는 시간을 줄일 수 있는 데이터 래치 회로를 제공하는데 있다.

【발명의 구성 및 작용】

<22> 상기 기술적 과제를 달성하기 위한 본 발명의 제 1 실시예에 따른 데이터 래치 회로는 센스 앰프부, 클럭 래치부, 믹스부 및 캐스코드 로직부를 구비하는 것을 특징으로 한다.

<23> 센스 앰프부는 입력 데이터를 수신하고 클럭 신호에 응답하여 상기 입력 데이터와 동일한 논리 레벨을 가지는 제 1 신호 및 상기 제 1 신호와 반대되는 논리 레벨을 가지는 제 1 반전 신호를 출력하고, 소정의 캐스코드 출력 데이터를 수신하고 상기 클럭 신호에 응답하여 상기 캐스코드 출력 데이터와 동일한 논리 레벨을 가지는 제 2 신호 및 상기 제 2 신호와 반대되는 논리 레벨을 가지는 제 2 반전 신호를 출력한다.

<24> 클럭 래치부는 인에이블 신호 및 상기 클럭 신호에 응답하여 상기 인에이블 신호 및 상기 클럭 신호가 동시에 제 1 레벨인 동안만 인에이블 되는 게이트드 클럭 신호를 발생한다.

- <25> 먹스부는 상기 인에이블 신호가 제 1 레벨이면 상기 제 1 신호를 출력 데이터로서 출력하고 상기 제 1 반전 신호를 피드백 데이터로서 출력하며, 상기 인에이블 신호가 제 2 레벨이면 상기 제 2 신호를 상기 출력 데이터로서 출력하고 상기 제 2 반전 신호를 상기 피드백 데이터로서 출력한다.
- <26> 캐스코드 로직부는 상기 출력 데이터 및 상기 피드백 데이터를 수신하여 저장하고, 상기 게이트드 클럭 신호에 응답하여 상기 캐스코드 출력 데이터를 발생한다.
- <27> 상기 센스 앰프부는 상기 입력 데이터를 수신하고 상기 클럭 신호에 응답하여 상기 제 1 신호 및 상기 제 1 반전 신호를 출력하는 제 1 센스 앰프 및 상기 캐스코드 출력 데이터를 수신하고 상기 클럭 신호에 응답하여 상기 제 2 신호 및 상기 제 2 반전 신호를 출력하는 제 2 센스 앰프를 구비한다.
- <28> 상기 먹스부는 상기 제 1 신호를 제 1 단자로 수신하고 상기 제 2 신호를 제 2 단자로 수신하여 상기 인에이블 신호가 제 1 레벨이면 상기 제 1 신호를 출력 데이터로서 출력하고 상기 인에이블 신호가 제 2 레벨이면 상기 제 2 신호를 출력 데이터로서 출력하는 제 1 선택부 및 상기 제 1 반전 신호를 제 1 단자로 수신하고 상기 제 2 반전 신호를 제 2 단자로 수신하여 상기 인에이블 신호가 제 1 레벨이면 상기 제 1 반전 신호를 상기 피드백 데이터로서 출력하고 상기 인에이블 신호가 제 2 레벨이면 상기 제 2 반전 신호를 상기 피드백 데이터로서 출력하는 제 2 선택부를 구비하는 것을 특징으로 한다.
- <29> 상기 제 1 선택부 및 제 2 선택부는 멀티플렉서인 것을 특징으로 한다. 상기 클럭 래치부는 상기 인에이블 신호를 수신하고 상기 클럭 신호의 반전 신호에 응답하여 활성화되는 래치, 상기 클럭 신호의 반전 신호를 발생하는 인버터 및 상기 래치의 출력 및

상기 클럭 신호를 논리곱하여 상기 게이티드 클럭 신호를 발생하는 논리곱 수단을 구비하는 것을 특징으로 한다.

<30> 상기 인에이블 신호는 상기 클럭 신호보다 먼저 활성화되는 것을 특징으로 한다.

<31> 상기 기술적 과제를 달성하기 위한 본 발명의 제 2 실시예에 따른 데이터 래치 회로는 제 1 데이터 전송부, 제 2 데이터 전송부, 클럭 래치부 및 캐스코드 로직부를 구비하는 것을 특징으로 한다.

<32> 제 1 데이터 전송부는 클럭 신호에 응답하여 입력 데이터 및 소정의 제 2 신호를 수신하고, 인에이블 신호에 응답하여 출력 데이터를 발생한다. 제 2 데이터 전송부는 상기 클럭 신호에 응답하여 소정의 캐스코드 출력 데이터 및 제 1 반전 신호를 수신하고, 상기 인에이블 신호에 응답하여 피드백 데이터를 발생한다.

<33> 클럭 래치부는 상기 인에이블 신호 및 상기 클럭 신호에 응답하여 상기 인에이블 신호 및 상기 클럭 신호가 동시에 제 1 레벨인 동안만 인에이블 되는 게이티드 클럭 신호를 발생한다.

<34> 캐스코드 로직부는 상기 출력 데이터 및 상기 피드백 데이터를 수신하여 저장하고, 상기 게이티드 클럭 신호에 응답하여 상기 캐스코드 출력 데이터를 발생한다.

<35> 상기 제 1 데이터 전송부는 상기 입력 데이터를 수신하고 상기 클럭 신호에 응답하여 상기 입력 데이터와 동일한 논리 레벨을 가지는 제 1 신호 및 상기 제 1 신호와 반대되는 논리 레벨을 가지는 상기 제 1 반전 신호를 출력하는 제 1 센스 앰프 및 상기 제 1 신호를 제 1 단자로 수신하고 상기 제 2 신호를 제 2 단자로 수신하여 상기 인에이블 신

호가 제 1 레벨이면 상기 제 1 신호를 출력 데이터로서 출력하고 상기 인에이블 신호가 제 2 레벨이면 상기 제 2 신호를 출력 데이터로서 출력하는 제 1 선택부를 구비한다.

<36> 상기 제 1 선택부는 멀티플렉서인 것을 특징으로 한다.

<37> 상기 제 2 데이터 전송부는 상기 캐스코드 출력 데이터를 수신하고 상기 클럭 신호에 응답하여 상기 캐스코드 출력 데이터와 동일한 논리 레벨을 가지는 상기 제 2 신호 및 상기 제 2 신호와 반대되는 논리 레벨을 가지는 상기 제 2 반전 신호를 출력하는 제 2 센스 앰프 및 상기 제 1 반전 신호를 제 1 단자로 수신하고 상기 제 2 반전 신호를 제 2 단자로 수신하여 상기 인에이블 신호가 제 1 레벨이면 상기 제 1 반전 신호를 상기 피드백 데이터로서 출력하고 상기 인에이블 신호가 제 2 레벨이면 상기 제 2 반전 신호를 상기 피드백 데이터로서 출력하는 제 2 선택부를 구비하는 것을 특징으로 한다.

<38> 상기 제 2 선택부는 멀티플렉서인 것을 특징으로 한다.

<39> 상기 클럭 래치부는 상기 인에이블 신호를 수신하고 상기 클럭 신호의 반전 신호에 응답하여 활성화되는 래치, 상기 클럭 신호의 반전 신호를 발생하는 인버터 및 상기 래치의 출력 및 상기 클럭 신호를 논리곱하여 상기 게이티드 클럭 신호를 발생하는 논리곱 수단을 구비한다.

<40> 상기 인에이블 신호는 상기 클럭 신호보다 먼저 활성화되는 것을 특징으로 한다.

<41> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 도면에 기재된 내용을 참조하여야 한다.

- <42> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.
- <43> 도 3은 본 발명에 따른 데이터 래치 회로를 나타내는 회로도이다.
- <44> 본 발명의 제 1 실시예에 따른 데이터 래치 회로(300)는 센스 앰프부(310), 클럭 래치부(320), 먹스부(340) 및 캐스코드 로직부(350)를 구비한다.
- <45> 센스 앰프부(310)는 입력 데이터(INDATA)를 수신하고 클럭 신호(CLK)에 응답하여 입력 데이터(INDATA)와 동일한 논리 레벨을 가지는 제 1 신호(S1) 및 제 1 신호(S1)와 반대되는 논리 레벨을 가지는 제 1 반전 신호(IS1)를 출력한다.
- <46> 또한 센스 앰프부(310)는 소정의 캐스코드 출력 데이터(CASDATA)를 수신하고 클럭 신호(CLK)에 응답하여 캐스코드 출력 데이터(CASDATA)와 동일한 논리 레벨을 가지는 제 2 신호(S2) 및 제 2 신호(S2)와 반대되는 논리 레벨을 가지는 제 2 반전 신호(IS2)를 출력한다.
- <47> 좀더 설명하면, 제 1 센스 앰프(SA1)는 입력 데이터(INDATA)를 수신하고 클럭 신호(CLK)에 응답하여 제 1 신호(S1) 및 제 1 반전 신호(IS1)를 출력한다. 제 2 센스 앰프(SA2)는 캐스코드 출력 데이터(CASDATA)를 수신하고 클럭 신호(CLK)에 응답하여 제 2 신호(S2) 및 제 2 반전 신호(IS2)를 출력한다.
- <48> 클럭 래치부(320)는 인에이블 신호(ENS) 및 클럭 신호(CLK)에 응답하여 인에이블 신호(ENS) 및 클럭 신호(CLK)가 동시에 제 1 레벨인 동안만 인에이블 되는 게이트드 클럭 신호(GCLK)를 발생한다.

- <49> 좀더 설명하면, 클럭 래치부(320)는 인에이블 신호(ENS)를 수신하고 클럭 신호(CLK)의 반전 신호에 응답하여 활성화되는 래치(325), 클럭 신호(CLK)의 반전 신호를 발생하는 인버터(330) 및 래치(325)의 출력 및 클럭 신호(CLK)를 논리곱하여 게이트드 클럭 신호(GCLK)를 발생하는 논리곱 수단(335)을 구비한다.
- <50> 인에이블 신호(ENS)는 클럭 신호(CLK)보다 먼저 활성화된다.
- <51> 맥스부(340)는 인에이블 신호(ENS)가 제 1 레벨이면 제 1 신호(S1)를 출력 데이터(OUTDATA)로서 출력하고 제 1 반전 신호(IS1)를 피드백 데이터(FEDDATA)로서 출력하며, 인에이블 신호(ENS)가 제 2 레벨이면 제 2 신호(S2)를 출력 데이터(OUTDATA)로서 출력하고 제 2 반전 신호(IS2)를 피드백 데이터(FEDDATA)로서 출력한다.
- <52> 좀더 설명하면, 맥스부(340)는 제 1 선택부(M1) 및 제 2 선택부(M2)를 구비한다. 제 1 선택부(M1)는 제 1 신호(S1)를 제 1 단자로 수신하고 제 2 신호(S2)를 제 2 단자로 수신하여 인에이블 신호(ENS)가 제 1 레벨이면 제 1 신호(S1)를 출력 데이터(OUTDATA)로서 출력하고 인에이블 신호(ENS)가 제 2 레벨이면 제 2 신호(S2)를 출력 데이터(OUTDATA)로서 출력한다.
- <53> 제 2 선택부(M2)는 제 1 반전 신호(IS1)를 제 1 단자로 수신하고 제 2 반전 신호(IS2)를 제 2 단자로 수신하여 인에이블 신호(ENS)가 제 1 레벨이면 제 1 반전 신호(IS1)를 피드백 데이터(FEDDATA)로서 출력하고 인에이블 신호(ENS)가 제 2 레벨이면 제 2 반전 신호(IS2)를 피드백 데이터(FEDDATA)로서 출력한다.
- <54> 제 1 선택부(M1) 및 제 2 선택부(M2)는 멀티플렉서이다.

- <55> 캐스코드 로직부(350)는 출력 데이터(OUTDATA) 및 피드백 데이터(FEDDATA)를 수신하여 저장하고, 게이트드 클럭 신호(GCLK)에 응답하여 캐스코드 출력 데이터(CASDATA)를 발생한다.
- <56> 도 4는 도 3의 데이터 래치 회로의 동작을 설명하는 타이밍도이다.
- <57> 이하, 도 3 및 도 4를 참조하여 데이터 래치 회로(300)의 동작이 설명된다.
- <58> 도 3의 데이터 래치 회로(300)의 제 1 센스 앰프(SA1)는 종래의 데이터 래치 회로(100)의 센스 앰프(140)와 달리, 게이트드 클럭 신호(GCLK)에 동기되어 동작되는 것이 아니고, 클럭 신호(CLK)에 동기되어 동작된다. 그리고, 출력 데이터(OUTDATA)는 인에이블 신호(ENS)에 응답하여 동작되는 제 1 선택부(M1)에서 출력된다.
- <59> 이와 같이 구성함으로써 종래의 데이터 래치 회로(100)에서 게이트드 클럭 신호(GCLK)를 발생하기 위하여 지연되는 시간과 입력 데이터(INDATA)가 캐스코드 로직(150)을 통과하여 출력 데이터(OUTDATA)로 발생되는데 소모되는 시간이 줄어들 수 있다.
- <60> 좀더 상세하게 동작 설명을 한다.
- <61> 제 1 센스 앰프(SA1)는 입력 데이터(INDATA)를 수신하고 클럭 신호(CLK)에 응답하여 입력 데이터(INDATA)와 동일한 논리 레벨을 가지는 제 1 신호(S1) 및 제 1 신호(S1)와 반대되는 논리 레벨을 가지는 제 1 반전 신호(IS1)를 출력한다.
- <62> 제 1 센스 앰프(SA1)는 다이내믹 회로(dynamic circuit)로서 입력 데이터(INDATA)를 수신하여 전달한다. 기존의 데이터 래치 회로(100)의 센스 앰프(140)가 게이트드 클럭 신호(GCLK)에 응답하여 입력 데이터(INDATA)를 수신하여 전송하는 것과 달리, 제 1 센스 앰프(SA1)는 클럭 신호(CLK)에 동기 되어 입력 데이터(INDATA)를 전송한다.

- <63> 제 1 신호(S1)는 입력 데이터(INDATA)와 동일한 논리 레벨을 가지는 신호이므로 결국 입력 데이터(INDATA)가 제 1 센스 앰프(SA1)를 통하여 제 1 신호(S1)로서 출력되는 것이다. 제 1 반전 신호(IS1)는 입력 데이터(INDATA)와 반대되는 논리 레벨을 가지며 후술되는 제 2 선택부(M2)로 인가된다.
- <64> 제 2 센스 앰프(SA2)도 다이내믹 회로(dynamic circuit)로서 캐스코드 출력 데이터(CASDATA)를 수신하여 전달한다. 제 2 센스 앰프(SA2)는 클럭 신호(CLK)에 동기되어 캐스코드 출력 데이터(CASDATA)를 전송한다. 캐스코드 출력 데이터(CASDATA)는 출력 데이터(OUTDATA)가 캐스코드 로직부(350)에 저장된 후 출력된 것이다.
- <65> 제 2 신호(S2)는 캐스코드 출력 데이터(CASDATA)와 동일한 논리 레벨을 가지는 신호이므로 결국 캐스코드 출력 데이터(CASDATA)가 제 2 센스 앰프(SA2)를 통하여 제 2 신호(S2)로서 출력되는 것이다. 제 2 반전 신호(IS2)는 캐스코드 출력 데이터(CASDATA)와 반대되는 논리 레벨을 가지며 후술되는 제 1 선택부(M1)로 인가된다.
- <66> 맥스부(340)는 인에이블 신호(ENS)가 제 1 레벨이면 제 1 신호(S1)를 출력 데이터(OUTDATA)로서 출력하고 제 1 반전 신호(IS1)를 피드백 데이터(FEDDATA)로서 출력하며, 인에이블 신호(ENS)가 제 2 레벨이면 제 2 신호(S2)를 출력 데이터(OUTDATA)로서 출력하고 제 2 반전 신호(IS2)를 피드백 데이터(FEDDATA)로서 출력한다.
- <67> 맥스부(340)의 제 1 선택부(M1)는 제 1 신호(S1)를 제 1 단자로 수신하고 제 2 신호(S2)를 제 2 단자로 수신하여 인에이블 신호(ENS)가 제 1 레벨이면 제 1 신호(S1)를 출력 데이터(OUTDATA)로서 출력하고 인에이블 신호(ENS)가 제 2 레벨이면 제 2 신호(S2)를 출력 데이터(OUTDATA)로서 출력한다.

- <68> 제 1 선택부(M1)는 멀티플렉서일 수 있다. 설명의 편의상 제 1 레벨은 하이 레벨, 제 2 레벨은 로우 레벨인 것으로 설명한다. 그러나 반대의 경우도 가능한 것은 당연하다. 인에이블 신호(ENS)가 하이 레벨이면 제 1 선택부(M1)는 제 1 신호(S1), 즉, 입력 데이터(INDATA)를 출력 데이터(OUTDATA)로서 출력한다.
- <69> 그리고 인에이블 신호(ENS)가 로우 레벨이면 제 1 선택부(M1)는 제 2 신호(S2), 즉, 캐스코드 출력 데이터(CASDATA)를 출력 데이터(OUTDATA)로서 출력한다. 제 2 신호(S2)는 캐스코드 출력 데이터(CASDATA)와 동일하며 캐스코드 출력 데이터(CASDATA)는 이전 클럭 신호(CLK)에 동기 되어 출력된 출력 데이터(OUTDATA)이다.
- <70> 따라서 인에이블 신호(ENS)가 로우 레벨이어서 제 2 신호(S2)가 출력 데이터(OUTDATA)로서 출력되는 경우에는 결국 출력 데이터(OUTDATA)로서 이전의 출력 데이터(OUTDATA)가 출력되는 것이 된다. 따라서 제 2 센스 앰프(SA2)는 이전의 데이터를 유지시키는 기능을 한다.
- <71> 제 2 선택부(M2)는 제 1 반전 신호(IS1)를 제 1 단자로 수신하고 제 2 반전 신호(IS2)를 제 2 단자로 수신하여 인에이블 신호(ENS)가 제 1 레벨이면 제 1 반전 신호(IS1)를 피드백 데이터(FEDDATA)로서 출력하고 인에이블 신호(ENS)가 제 2 레벨이면 제 2 반전 신호(IS2)를 피드백 데이터(FEDDATA)로서 출력한다. 제 2 선택부(M2)는 멀티플렉서일 수 있다.
- <72> 인에이블 신호(ENS)가 하이 레벨인 경우, 입력 데이터(INDATA)와 반대되는 논리 레벨을 가진 제 1 반전 신호(IS1)가 피드백 데이터(FEDDATA)로서 출력되고, 인에이블 신호(ENS)가 로우 레벨인 경우, 캐스코드 출력 데이터(CASDATA)와 반대되는 논리 레벨을

가지는 제 2 반전 신호(IS2)가 피드백 데이터(FEDDATA)로서 출력된다. 따라서 피드백 데이터(FEDDATA)는 출력 데이터(OUTDATA)와 상보적인 논리 레벨을 가진다.

<73> 클럭 래치부(320)는 인에이블 신호(ENS) 및 클럭 신호(CLK)에 응답하여 인에이블 신호(ENS) 및 클럭 신호(CLK)가 동시에 제 1 레벨인 동안만 인에이블 되는 게이트드 클럭 신호(GCLK)를 발생한다. 인에이블 신호(ENS)는 클럭 신호(CLK)보다 먼저 활성화된다.

<74> 래치(325)는 인에이블 신호(ENS)를 수신하고 클럭 신호(CLK)의 반전 신호에 응답하여 활성화된다. 인버터(330)는 클럭 신호(CLK)의 반전 신호를 발생한다. 논리곱 수단(335)은 래치(325)의 출력 및 클럭 신호(CLK)를 논리곱 하여 게이트드 클럭 신호(GCLK)를 발생한다.

<75> 종래의 데이터 래치 회로(100)에서는 게이트드 클럭 신호(GCLK)에 응답하여 센스 앰프(140)가 입력 데이터(INDATA)를 전송했으나 본 발명에서는 게이트드 클럭 신호(GCLK)는 캐스코드 로직부(350)를 인에이블 시켜서 캐스코드 로직부(350)에 저장된 출력 데이터(OUTDATA)를 캐스코드 출력 데이터(CASDATA)로서 출력하는 기능을 할 뿐이다. 따라서 입력 데이터(INDATA)가 입력되는 순간부터 출력되는 순간까지의 지연 시간에는 영향을 미치지 않는다.

<76> 도 4를 참조하면 알 수 있듯이, 입력 데이터(INDATA)가 제 1 센스 앰프(SA1)로 입력되는 순간부터 출력 데이터(OUTDATA)로서 출력되는 순간까지의 시간인 "clock to q" 지연 시간은 제 1 센스 앰프(SA1)에 의한 지연 시간(SAD)과 믹스부(340)의 제 1 선택부(M1)에 의한 지연 시간(MD)의 합이 된다.

- <77> 종래의 데이터 래치 회로(100)에서 게이티드 클럭 신호(GCLK)를 발생하기 위한 지연 시간(A)과 캐스코드 로직(150)을 통과하는 데 걸리는 지연 시간(B)이 제거되므로 본 발명의 "clock to q" 지연 시간은 줄어든다. 따라서 입력 데이터(INDATA)가 데이터 래치 회로(300)를 통하여 다이내믹 회로로 인가되는데 소비되는 시간을 줄일 수 있다.
- <78> 본 발명의 다른 실시예에 따른 데이터 래치 회로를 도 3의 데이터 래치 회로(300)를 이용하여 설명한다.
- <79> 다른 실시예에 따른 데이터 래치 회로는 제 1 데이터 전송부(350), 제 2 데이터 전송부(360), 클럭 래치부(320) 및 캐스코드 로직부(350)를 구비한다.
- <80> 제 1 데이터 전송부(350)는 클럭 신호(CLK)에 응답하여 입력 데이터(INDATA) 및 소정의 제 2 신호(S2)를 수신하고, 인에이블 신호(ENS)에 응답하여 출력 데이터(OUTDATA)를 발생한다.
- <81> 좀더 설명하면, 제 1 데이터 전송부(350)는 제 1 센스 앰프(SA1) 및 제 1 선택부(M1)를 구비한다. 제 1 센스 앰프(SA1)는 입력 데이터(INDATA)를 수신하고 클럭 신호(CLK)에 응답하여 입력 데이터(INDATA)와 동일한 논리 레벨을 가지는 제 1 신호(S1) 및 제 1 신호(S1)와 반대되는 논리 레벨을 가지는 제 1 반전 신호(IS1)를 출력한다.
- <82> 제 1 선택부(M1)는 제 1 신호(S1)를 제 1 단자로 수신하고 제 2 신호(S2)를 제 2 단자로 수신하여 인에이블 신호(ENS)가 제 1 레벨이면 제 1 신호(S1)를 출력 데이터(OUTDATA)로서 출력하고 인에이블 신호(ENS)가 제 2 레벨이면 제 2 신호(S2)를 출력 데이터(OUTDATA)로서 출력한다. 제 1 선택부(M1)는 멀티플렉서인 것을 특징으로 한다.

- <83> 제 2 데이터 전송부(360)는 클럭 신호(CLK)에 응답하여 소정의 캐스코드 출력 데이터(CASDATA) 및 제 1 반전 신호(IS1)를 수신하고, 인에이블 신호(ENS)에 응답하여 피드백 데이터(FEDDATA)를 발생한다.
- <84> 좀더 설명하면, 제 2 데이터 전송부(360)는 제 2 센스 앰프(SA2) 및 제 2 선택부(M2)를 구비한다. 제 2 센스 앰프(SA2)는 캐스코드 출력 데이터(CASDATA)를 수신하고 클럭 신호(CLK)에 응답하여 캐스코드 출력 데이터(CASDATA)와 동일한 논리 레벨을 가지는 제 2 신호(S2) 및 제 2 신호(S2)와 반대되는 논리 레벨을 가지는 제 2 반전 신호(IS2)를 출력한다.
- <85> 제 2 선택부(M2)는 제 1 반전 신호(IS1)를 제 1 단자로 수신하고 제 2 반전 신호(IS2)를 제 2 단자로 수신하여 인에이블 신호(ENS)가 제 1 레벨이면 제 1 반전 신호(IS1)를 피드백 데이터(FEDDATA)로서 출력하고 인에이블 신호(ENS)가 제 2 레벨이면 제 2 반전 신호(IS2)를 피드백 데이터(FEDDATA)로서 출력한다. 제 2 선택부(M2)는 멀티플렉서일 수 있다.
- <86> 제 1 데이터 전송부(350)는 입력 데이터(INDATA)를 수신하여 출력 데이터(OUTDATA)로서 출력하고 제 2 데이터 전송부(360)는 캐스코드 출력 데이터(CASDATA)를 수신하여 피드백 데이터(FEDDATA)로서 출력한다.
- <87> 제 1 데이터 전송부(350)가 구비하는 제 1 센스 앰프(SA1)와 제 1 선택부(M1)의 기능 및 제 2 데이터 전송부(360)가 구비하는 제 2 센스 앰프(SA2)와 제 2 선택부(M2)의 기능은 이미 설명된 바 있으므로 상세한 동작 설명은 생략한다.

- <88> 클럭 래치부(320)는 인에이블 신호(ENS) 및 클럭 신호(CLK)에 응답하여 인에이블 신호(ENS) 및 클럭 신호(CLK)가 동시에 제 1 레벨인 동안만 인에이블 되는 게이티드 클럭 신호(GCLK)를 발생한다.
- <89> 클럭 래치부(320)는 인에이블 신호(ENS)를 수신하고 클럭 신호(CLK)의 반전 신호에 응답하여 활성화되는 래치(325), 클럭 신호(CLK)의 반전 신호를 발생하는 인버터(330) 및 래치(325)의 출력 및 클럭 신호(CLK)를 논리곱하여 게이티드 클럭 신호(GCLK)를 발생하는 논리곱 수단(335)을 구비한다. 인에이블 신호(ENS)는 클럭 신호(CLK)보다 먼저 활성화된다.
- <90> 캐스코드 로직부(350)는 출력 데이터(OUTDATA) 및 피드백 데이터(FEDDATA)를 수신하여 저장하고, 게이티드 클럭 신호(GCLK)에 응답하여 캐스코드 출력 데이터(CASDATA)를 발생한다.
- <91> 클럭 래치부(320) 및 캐스코드 로직부(350)의 구성 및 동작은 앞에서 설명되었으므로 설명을 생략한다.
- <92> 이상에서와 같이 도면과 명세서에서 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<93> 상술한 바와 같이 본 발명에 따른 데이터 래치 회로는 게이티드 클럭 신호가 발생되는 시간 및 입력 데이터가 캐스코드 로직부를 통과하는 시간을 줄임으로써 입력 데이터가 입력되는 순간부터 출력되는 순간까지 걸리는 시간을 줄일 수 있는 장점이 있다.

【특허청구범위】**【청구항 1】**

입력 데이터를 수신하고 클럭 신호에 응답하여 상기 입력 데이터와 동일한 논리 레벨을 가지는 제 1 신호 및 상기 제 1 신호와 반대되는 논리 레벨을 가지는 제 1 반전 신호를 출력하고, 소정의 캐스코드 출력 데이터를 수신하고 상기 클럭 신호에 응답하여 상기 캐스코드 출력 데이터와 동일한 논리 레벨을 가지는 제 2 신호 및 상기 제 2 신호와 반대되는 논리 레벨을 가지는 제 2 반전 신호를 출력하는 센스 앰프부 ;

인에이블 신호 및 상기 클럭 신호에 응답하여 상기 인에이블 신호 및 상기 클럭 신호가 동시에 제 1 레벨인 동안만 인에이블 되는 게이티드 클럭 신호를 발생하는 클럭 래치부 ;

상기 인에이블 신호가 제 1 레벨이면 상기 제 1 신호를 출력 데이터로서 출력하고 상기 제 1 반전 신호를 피드백 데이터로서 출력하며, 상기 인에이블 신호가 제 2 레벨이면 상기 제 2 신호를 상기 출력 데이터로서 출력하고 상기 제 2 반전 신호를 상기 피드백 데이터로서 출력하는 믹스부 ; 및

상기 출력 데이터 및 상기 피드백 데이터를 수신하여 저장하고, 상기 게이티드 클럭 신호에 응답하여 상기 캐스코드 출력 데이터를 발생하는 캐스코드 로직부를 구비하는 것을 특징으로 하는 동작 속도가 향상된 데이터 래치 회로.

【청구항 2】

제 1항에 있어서, 상기 센스 앰프부는,

상기 입력 데이터를 수신하고 상기 클럭 신호에 응답하여 상기 제 1 신호 및 상기 제 1 반전 신호를 출력하는 제 1 센스 앰프 ; 및

상기 캐스코드 출력 데이터를 수신하고 상기 클럭 신호에 응답하여 상기 제 2 신호 및 상기 제 2 반전 신호를 출력하는 제 2 센스 앰프를 구비하는 것을 특징으로 하는 동작 속도가 향상된 데이터 래치 회로.

【청구항 3】

제 1항에 있어서, 상기 믹스부는,

상기 제 1 신호를 제 1 단자로 수신하고 상기 제 2 신호를 제 2 단자로 수신하여 상기 인에이블 신호가 제 1 레벨이면 상기 제 1 신호를 출력 데이터로서 출력하고 상기 인에이블 신호가 제 2 레벨이면 상기 제 2 신호를 출력 데이터로서 출력하는 제 1 선택부 ; 및

상기 제 1 반전 신호를 제 1 단자로 수신하고 상기 제 2 반전 신호를 제 2 단자로 수신하여 상기 인에이블 신호가 제 1 레벨이면 상기 제 1 반전 신호를 상기 피드백 데이터로서 출력하고 상기 인에이블 신호가 제 2 레벨이면 상기 제 2 반전 신호를 상기 피드백 데이터로서 출력하는 제 2 선택부를 구비하는 것을 특징으로 하는 동작 속도가 향상된 데이터 래치 회로.

【청구항 4】

제 3항에 있어서, 상기 제 1 선택부 및 제 2 선택부는,

멀티플렉서인 것을 특징으로 하는 동작 속도가 향상된 데이터 래치 회로.

【청구항 5】

제 1항에 있어서, 상기 클럭 래치부는,
상기 인에이블 신호를 수신하고 상기 클럭 신호의 반전 신호에 응답하여 활성화 되는 래치 ;
상기 클럭 신호의 반전 신호를 발생하는 인버터 ; 및
상기 래치의 출력 및 상기 클럭 신호를 논리곱하여 상기 게이티드 클럭 신호를 발생하는 논리곱 수단을 구비하는 것을 특징으로 하는 동작 속도가 향상된 데이터 래치 회로.

【청구항 6】

제 1항에 있어서, 상기 인에이블 신호는,
상기 클럭 신호보다 먼저 활성화되는 것을 특징으로 하는 동작 속도가 향상된 데이터 래치 회로.

【청구항 7】

클럭 신호에 응답하여 입력 데이터 및 소정의 제 2 신호를 수신하고, 인에이블 신호에 응답하여 출력 데이터를 발생하는 제 1 데이터 전송부 ;
상기 클럭 신호에 응답하여 소정의 캐스코드 출력 데이터 및 제 1 반전 신호를 수신하고, 상기 인에이블 신호에 응답하여 피드백 데이터를 발생하는 제 2 데이터 전송부 ;

상기 인에이블 신호 및 상기 클럭 신호에 응답하여 상기 인에이블 신호 및 상기 클럭 신호가 동시에 제 1 레벨인 동안만 인에이블 되는 게이티드 클럭 신호를 발생하는 클럭 래치부 ; 및

상기 출력 데이터 및 상기 피드백 데이터를 수신하여 저장하고, 상기 게이티드 클럭 신호에 응답하여 상기 캐스코드 출력 데이터를 발생하는 캐스코드 로직부를 구비하는 것을 특징으로 하는 동작 속도가 향상된 데이터 래치 회로.

【청구항 8】

제 7항에 있어서, 상기 제 1 데이터 전송부는,

상기 입력 데이터를 수신하고 상기 클럭 신호에 응답하여 상기 입력 데이터와 동일한 논리 레벨을 가지는 제 1 신호 및 상기 제 1 신호와 반대되는 논리 레벨을 가지는 상기 제 1 반전 신호를 출력하는 제 1 센스 앰프 ; 및

상기 제 1 신호를 제 1 단자로 수신하고 상기 제 2 신호를 제 2 단자로 수신하여 상기 인에이블 신호가 제 1 레벨이면 상기 제 1 신호를 출력 데이터로서 출력하고 상기 인에이블 신호가 제 2 레벨이면 상기 제 2 신호를 출력 데이터로서 출력하는 제 1 선택부를 구비하는 것을 특징으로 하는 동작 속도가 향상된 데이터 래치 회로.

【청구항 9】

제 8항에 있어서, 상기 제 1 선택부는,

멀티플렉서인 것을 특징으로 하는 동작 속도가 향상된 데이터 래치 회로.

【청구항 10】

제 7항에 있어서, 상기 제 2 데이터 전송부는,

상기 캐스코드 출력 데이터를 수신하고 상기 클럭 신호에 응답하여 상기 캐스코드 출력 데이터와 동일한 논리 레벨을 가지는 상기 제 2 신호 및 상기 제 2 신호와 반대되는 논리 레벨을 가지는 상기 제 2 반전 신호를 출력하는 제 2 센스 앰프 ; 및

상기 제 1 반전 신호를 제 1 단자로 수신하고 상기 제 2 반전 신호를 제 2 단자로 수신하여 상기 인에이블 신호가 제 1 레벨이면 상기 제 1 반전 신호를 상기 피드백 데이터로서 출력하고 상기 인에이블 신호가 제 2 레벨이면 상기 제 2 반전 신호를 상기 피드백 데이터로서 출력하는 제 2 선택부를 구비하는 것을 특징으로 하는 동작 속도가 향상된 데이터 래치 회로.

【청구항 11】

제 10항에 있어서, 상기 제 2 선택부는,

멀티플렉서인 것을 특징으로 하는 동작 속도가 향상된 데이터 래치 회로.

【청구항 12】

제 7항에 있어서, 상기 클럭 래치부는,

상기 인에이블 신호를 수신하고 상기 클럭 신호의 반전 신호에 응답하여 활성화되는 래치 ;

상기 클럭 신호의 반전 신호를 발생하는 인버터 ; 및

상기 래치의 출력 및 상기 클럭 신호를 논리곱하여 상기 게이티드 클럭 신호를 발생하는 논리곱 수단을 구비하는 것을 특징으로 하는 동작 속도가 향상된 데이터 래치 회로.

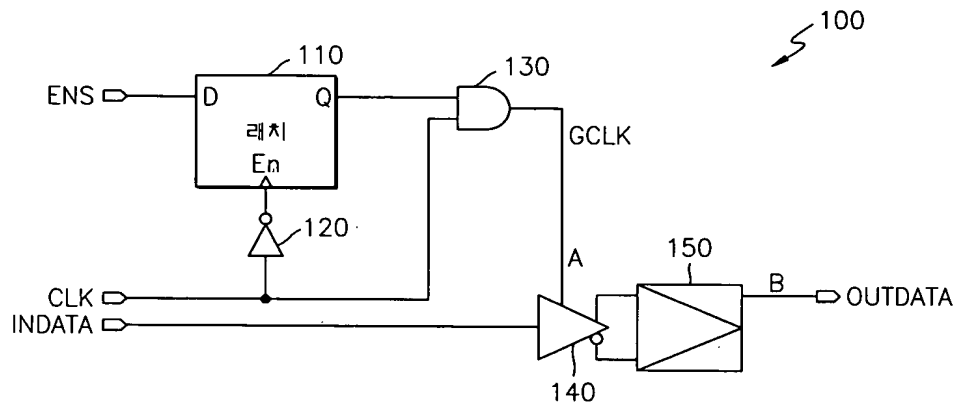
【청구항 13】

제 7항에 있어서, 상기 인에이블 신호는,

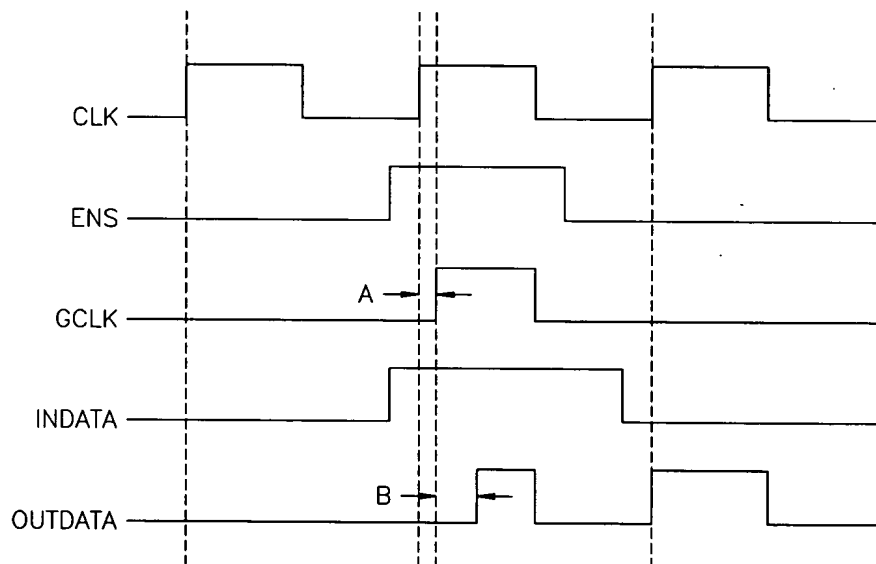
상기 클럭 신호보다 먼저 활성화되는 것을 특징으로 하는 동작 속도가 향상된 데이터 래치 회로.

【도면】

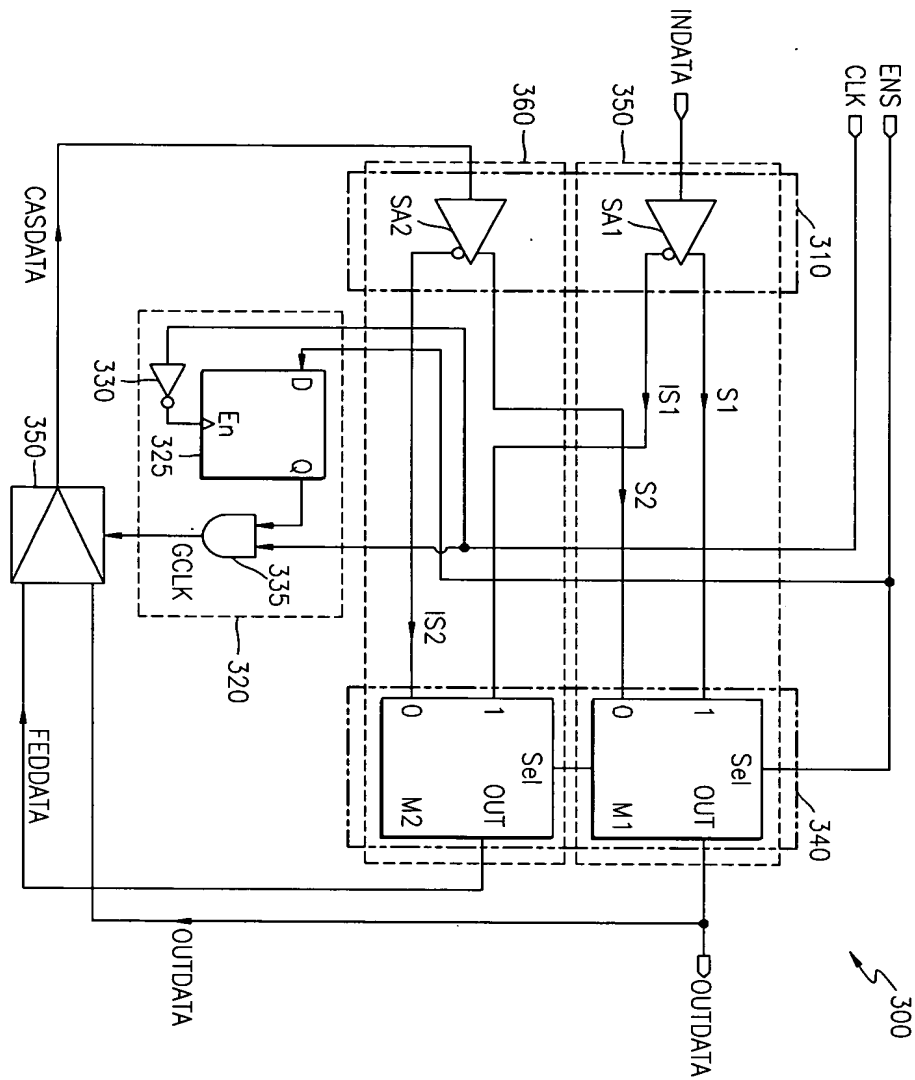
【도 1】



【도 2】



【표 3】



【도 4】

